

**ОПИСАНИЕ
ИЗОБРЕТЕНИЯ
К ПАТЕНТУ**
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



(19) **ВУ** (11) **3703**
(13) **С1**
(51)⁶ **G 06F 7/49**

ГОСУДАРСТВЕННЫЙ ПАТЕНТНЫЙ
КОМИТЕТ РЕСПУБЛИКИ БЕЛАРУСЬ

(54) **ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО УНИТАРНЫХ КОДОВ ПО
МОДУЛЮ ТРИ**

(21) Номер заявки: а 19980133

(22) 1998.02.12

(46) 2000.12.30

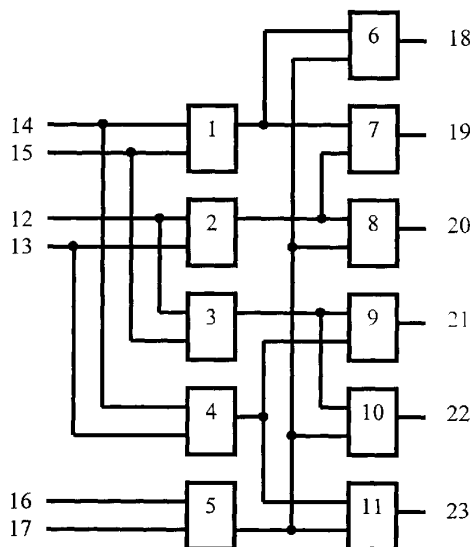
(71) Заявители: Белорусский государственный университет, Белорусский государственный экономический университет (ВУ)

(72) Авторы: Супрун В.П., Седун А.М. (ВУ)

(73) Патентообладатели: Белорусский государственный университет, Белорусский государственный экономический университет (ВУ)

(57)

Вычислительное устройство унитарных кодов по модулю три, содержащее три элемента ИЛИ, отличающееся тем, что в него дополнительно введены шесть элементов равнозначности и два элемента ИЛИ, вход "равно нулю" первого операнда устройства соединен с первыми входами первого и второго элементов ИЛИ, вход "равно единице" первого операнда устройства соединен с первыми входами третьего и четвертого элементов ИЛИ, вход "равно двум" первого операнда устройства соединен с первым входом пятого элемента ИЛИ, вход "равно нулю" второго операнда устройства соединен со вторыми входами первого и четвертого элементов ИЛИ, вход "равно единице" второго операнда устройства соединен со вторыми входами второго и третьего элементов ИЛИ, вход "равно двум" второго операнда устройства соединен со вторым входом пятого элемента ИЛИ, выход третьего элемента ИЛИ соединен с первыми входами первого и второго элементов равнозначности, выход первого элемента ИЛИ соединен со вторым входом второго и первым входом третьего элементов равнозначности, выход второго элемента ИЛИ соединен с первыми входами четвертого и пятого элементов равнозначности, выход четвертого элемента ИЛИ соединен со вторым входом четвертого и первым входом шестого элементов равнозначности, а выход пятого элемента ИЛИ соединен со вторыми входами первого, третьего, пятого и шестого элементов равнозначности, выход i -го ($i = 1, 2, 3$) элемента равнозначности является i -м выходом результата суммы устройства, а выход $(i+3)$ -го элемента равнозначности является i -м выходом результата разности устройства.



(56)

1. SU 1403060 A1, 1988.

2. Долгов А.И. Диагностика устройств, работающих в системе остаточных классов. – М.: Радио и связь, 1982. – С. 16.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Вычислительное устройство предназначено для вычисления операций сложения и вычитания в унитарных кодах по модулю три.

Известен сумматор унитарных кодов по модулю три, который содержит девять элементов И, три элемента ИЛИ, шесть входов и три выхода [1].

Недостатком сумматора являются низкие функциональные возможности, поскольку сумматор не выполняет операцию вычитания унитарных кодов по модулю три.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор m унитарных кодов по модулю k , который при $k = 3$ и $m = 2$ содержит девять элементов И и три элемента ИЛИ [2].

Недостатком известного сумматора являются низкие функциональные возможности, так как он не выполняет операцию вычитания унитарных кодов по модулю три.

Изобретение направлено на решение технической задачи расширения функциональных возможностей сумматора унитарных кодов по модулю три, а именно вычисление операции вычитания унитарных кодов по модулю три.

Вычислительное устройство унитарных кодов по модулю три, содержит три элемента ИЛИ. В отличие от устройства-прототипа в него дополнительно введены шесть элементов равнозначности и два элемента ИЛИ. Вход “равно нулю” первого операнда устройства соединен с первыми входами первого и второго элементов ИЛИ, вход “равно единице” первого операнда устройства соединен с первыми входами третьего и четвертого элементов ИЛИ, вход “равно двум” первого операнда устройства соединен с первым входом пятого элемента ИЛИ. Вход “равно нулю” второго операнда устройства соединен со вторыми входами первого и четвертого элементов ИЛИ, вход “равно единице” второго операнда устройства соединен со вторыми входами второго и третьего элементов ИЛИ, вход “равно двум” второго операнда устройства соединен со вторым входом пятого элемента ИЛИ. Выход третьего элемента ИЛИ соединен с первыми входами первого и второго элементов равнозначности, выход первого элемента ИЛИ соединен со вторым входом второго и первым входом третьего элементов равнозначности, выход второго элемента ИЛИ соединен с первыми входами четвертого и пятого элементов равнозначности, выход четвертого элемента ИЛИ соединен со вторым входом четвертого и первым входом шестого элементов равнозначности, а выход пятого элемента ИЛИ соединен со вторыми входами первого, третьего, пятого и шестого элементов равнозначности. Выход i -го ($i = 1, 2, 3$) элемента равнозначности является i -м выходом результата суммы устройства, а выход $(i+3)$ -го элемента равнозначности является i -м выходом результата разности устройства.

Основной технической результат изобретения заключается в расширении функциональных возможностей сумматора унитарных кодов по модулю три, а именно в вычислении операции вычитания унитарных кодов по модулю три. Названный технический результат достигается путем введения в логическую схему вычислительного устройства унитарных кодов по модулю три новых логических элементов (элементов равнозначности), а также изменением межсоединений логических элементов в схеме устройства.

На чертеже (фиг. 1) представлена схема вычислительного устройства унитарных кодов по модулю три.

Вычислительное устройство унитарных кодов по модулю три содержит пять элементов ИЛИ 1, 2, ..., 5, шесть элементов равнозначности 6, 7, ..., 11, шесть входов 12, 13, ..., 17 и шесть выходов 18, 19, ..., 23.

Вычислительное устройство унитарных кодов по модулю три работает следующим образом. На входы 12, 14 и 16 устройства поступает унитарный двоичный код первого операнда $A = (a_0, a_1, a_2)$, на входы 13, 15 и 17 – унитарный двоичный код второго операнда $B = (b_0, b_1, b_2)$, где $a_0, a_1, a_2, b_0, b_1, b_2 \in \{0, 1\}$. При этом $a_k = 1$ ($b_k = 1$) тогда и только тогда, когда $A = k \pmod{3}$ ($B = k \pmod{3}$), где $k = 0, 1, 2$. На выходах 18, 19 и 20 устройства формируется унитарный двоичный код результата суммы $S = (s_0, s_1, s_2)$, а на входах 21, 22 и 23 формируется унитарный двоичный код результата разности $R = (r_0, r_1, r_2)$, где $s_0, s_1, s_2, r_0, r_1, r_2 \in \{0, 1\}$. При этом $s_k = 1$ ($r_k = 1$) тогда и только тогда, когда $A+B = k \pmod{3}$ ($A-B = k \pmod{3}$).

Первообразная вычислительного устройства унитарных кодов по модулю имеет вид:

BY 3703 C1

$$s_0 = \overline{(a_1 \vee b_1)}(a_2 \vee b_2) \vee (a_1 \vee b_1)(a_2 \vee b_2),$$

$$s_1 = \overline{(a_1 \vee b_1)}(a_0 \vee b_0) \vee (a_1 \vee b_1)(a_0 \vee b_0),$$

$$s_2 = \overline{(a_0 \vee b_0)}(a_2 \vee b_2) \vee (a_0 \vee b_0)(a_2 \vee b_2),$$

$$r_0 = \overline{(a_0 \vee b_1)}(a_1 \vee b_0) \vee (a_0 \vee b_1)(a_1 \vee b_0),$$

$$r_1 = \overline{(a_0 \vee b_1)}(a_2 \vee b_2) \vee (a_0 \vee b_1)(a_2 \vee b_2),$$

$$r_2 = \overline{(a_1 \vee b_0)}(a_2 \vee b_2) \vee (a_1 \vee b_0)(a_2 \vee b_2).$$

Работа вычислительного устройства унитарных кодов по модулю три описывается таблицей.

Дополнительным достоинством вычислительного устройства унитарных кодов по модулю три является высокое быстродействие, которое вычисляется как 2τ , где τ - задержка на логический элемент, а также низкая конструктивная сложность устройства по числу входов логических элементов равная 22.

Таблица настройки вычислительного устройства унитарных кодов по модулю три

Входы устройства						Выходы устройства					
унитарный двоичный код первого операнда A = (a ₀ , a ₁ , a ₂)			унитарный двоичный код второго операнда B = (b ₀ , b ₁ , b ₂)			Унитарный двоичный код результата суммы S = (s ₀ , s ₁ , s ₂)			унитарный двоичный код результата разности R = (r ₀ , r ₁ , r ₂)		
a ₀	a ₁	a ₂	b ₀	b ₁	b ₂	s ₀	s ₁	s ₂	r ₀	r ₁	r ₂
12	14	16	13	15	17	18	19	20	21	22	23
1	0	0	1	0	0	1	0	0	1	0	0
1	0	0	0	1	0	0	1	0	0	0	1
1	0	0	0	0	1	0	0	1	0	1	0
0	1	0	1	0	0	0	1	0	0	1	0
0	1	0	0	1	0	0	0	1	1	0	0
0	1	0	0	0	1	1	0	0	0	0	1
0	0	1	1	0	0	0	0	1	0	0	1
0	0	1	0	1	0	1	0	0	0	1	0
0	0	1	0	0	1	0	1	0	1	0	0

Государственный патентный комитет Республики Беларусь.
220072, г. Минск, проспект Ф. Скорины, 66.

□□□□□□□□ □□□□□□□□ □□□□□□□□ □□□□□□□□. □□□□□□□□.
□□□□□□□□ □□□□□□□□□□□□ □□□□□□□□□□ □□□□□□□□. □□□□□□□□.