

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



(19) ВУ (11) 3706

(13) С1

(51)⁶ G 06F 7/49

ГОСУДАРСТВЕННЫЙ ПАТЕНТНЫЙ
КОМИТЕТ РЕСПУБЛИКИ БЕЛАРУСЬ

(54)

ВЫЧИСЛИТЕЛЬНОЕ УСТРОЙСТВО ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 19980613

(22) 1998.06.30

(46) 2000.12.30

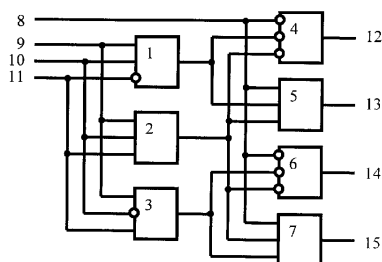
(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Гагарин А.В., Зверович И.Э., Седун А.М. (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(57)

Вычислительное устройство по модулю три, содержащее первый мажоритарный элемент с порогом два, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ, вход младшего разряда первого операнда устройства соединен с первыми входами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, вход старшего разряда первого операнда соединен с первым инверсным входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, вход младшего разряда второго операнда соединен со вторыми входами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, вход старшего разряда второго операнда соединен с инверсным входом первого мажоритарного элемента с порогом два и с третьим входом элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, второй и третий инверсные входы первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, а выход - с выходом младшего разряда результата суммы, второй и третий входы второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, а выход - с выходом старшего разряда результата суммы, отличающееся тем, что в него дополнительно введены третий и четвертый элементы ИСКЛЮЧАЮЩЕЕ ИЛИ и второй мажоритарный элемент с порогом два, вход младшего разряда первого операнда, входы младшего и старшего разрядов второго операнда соединены соответственно с первым входом, инверсным входом и вторым входом второго мажоритарного элемента с порогом два, вход старшего разряда первого операнда соединен с первым инверсным входом третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с первым входом четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй и третий инверсные входы третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и второго мажоритарного элемента с порогом два, а выход - с выходом младшего разряда результата разности, второй и третий входы четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и второго мажоритарного элемента с порогом два, а выход - с выходом старшего разряда результата разности.



Фиг. 1

(56)

1. А.с. СССР 1830528, МПК G 06F 7/49, 1993.

ВУ 3706 С1

BY 3706 C1

2. Патент РБ 2050, МПК G 06F 7/49, 1998.
3. SU 1800453 A1, 1993.
4. SU 1797116 A1, 1993.

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Вычислительное устройство предназначено для вычисления операций сложения и вычитания по модулю три.

Известен сумматор по модулю три, который содержит два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, мажоритарный элемент с порогом два, четыре входа и два выхода [1].

Недостатком сумматора являются низкие функциональные возможности, поскольку сумматор не выполняет операцию вычитания по модулю три.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор по модулю три, который содержит два элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, мажоритарный элемент с порогом два, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, четыре входа и два выхода [2].

Недостатком известного сумматора являются низкие функциональные возможности, поскольку сумматор не выполняет операцию вычитания по модулю три.

Изобретение направлено на решение технической задачи расширения функциональных возможностей сумматора по модулю три, а именно вычисление операции вычитания по модулю три.

Вычислительное устройство по модулю три содержит первый мажоритарный элемент с порогом два, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и первый и второй элементы ИСКЛЮЧАЮЩЕЕ ИЛИ. Вход младшего разряда первого операнда устройства соединен с первыми входами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Вход старшего разряда первого операнда соединен с первым инверсным входом первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с первым входом второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Вход младшего разряда второго операнда соединен со вторыми входами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Вход старшего разряда второго операнда соединен с инверсным входом первого мажоритарного элемента с порогом два и с третьим входом элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА. Второй и третий инверсные входы первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, а выход - с выходом младшего разряда результата суммы. Второй и третий входы второго элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами первого мажоритарного элемента с порогом два и элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА, а выход - с выходом старшего разряда результата суммы. В отличие от устройства-прототипа в него дополнительно введены третий и четвертый элементы ИСКЛЮЧАЮЩЕЕ ИЛИ и второй мажоритарный элемент с порогом два. Вход младшего разряда первого операнда, входы младшего и старшего разрядов второго операнда соединены соответственно с первым входом, инверсным входом и вторым входом второго мажоритарного элемента с порогом два. Вход старшего разряда первого операнда соединен с первым инверсным входом третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ и с первым входом четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ. Второй и третий инверсные входы третьего элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и второго мажоритарного элемента с порогом два, а выход - с выходом младшего разряда результата разности. Второй и третий входы четвертого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединены соответственно с выходами элемента СЛОЖЕНИЕ ПО МОДУЛЮ ДВА и второго мажоритарного элемента с порогом два, а выход - с выходом старшего разряда результата разности.

Основной технической результат изобретения заключается в расширении функциональных возможностей сумматора по модулю три, а именно в вычислении операции вычитания по модулю три. Названный технический результат достигается путем введения в логическую схему вычислительного устройства по модулю три дополнительных логических элементов (двух элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и мажоритарного элемента с порогом два), а также изменением межсоединений логических элементов в схеме устройства.

На чертеже (фиг. 1) представлена схема вычислительного устройства по модулю три.

Вычислительное устройство по модулю три содержит два мажоритарных элемента с порогом два 1, 3, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА 2, четыре элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 4, 5, 6, 7, четыре входа 8, 9, ..., 11 и четыре выхода 12, 13, ..., 15.

Вычислительное устройство по модулю три работает следующим образом. На входы 9 и 8 устройства поступает двоичный код первого операнда $A=(a_0, a_1)$, на входы 10 и 11 - двоичный код второго операнда $B=(b_0, b_1)$, где $a_0, a_1, b_0, b_1 \in \{0,1\}$. На выходах 12 и 13 устройства формируется двоичный код результата суммы $S=(s_0, s_1)$, на выходах 14 и 15 формируется двоичный код результата разности $R=(r_0, r_1)$, где $s_0, s_1, r_0, r_1 \in \{0,1\}$.

Первообразная вычислительного устройства по модулю три имеет вид:

