

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) ВУ (11) 10201

(13) С1

(46) 2008.02.28

(51) МПК (2006)

G 06F 7/48

G 06F 7/38

## (54) СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ТРИ

(21) Номер заявки: а 20060155

(22) 2006.02.23

(43) 2006.08.30

(71) Заявитель: Белорусский государственный университет (ВУ)

(72) Авторы: Городецкий Данила Андреевич; Супрун Валерий Павлович; Седун Андрей Максимович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)

(56) ВУ 6479 С1, 2004.

ВУ а20050241, 2005.

ВУ 3703 С1, 2000.

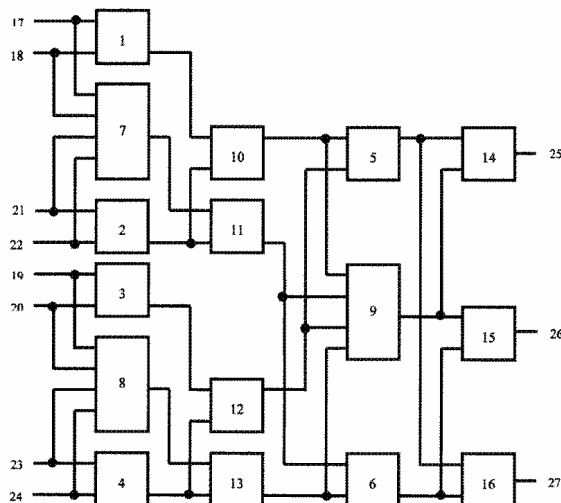
SU 1403060 А1, 1988.

SU 1795452 А1, 1993.

US 4890127, 1989.

(57)

Сумматор унитарных кодов по модулю три, содержащий четыре элемента ИЛИ-НЕ,  $i$ -й ( $i = 1, 2$ ) вход первого из которых соединен с входом "равно нулю"  $i$ -го операнда, а  $i$ -й вход второго элемента ИЛИ-НЕ соединен с входом "равно двум"  $i$ -го операнда, отличающийся тем, что в него дополнительно введены пятый и шестой элементы ИЛИ-НЕ, три мажоритарных элемента с порогом два и семь элементов РАВНОЗНАЧНОСТЬ, выход  $j$ -го ( $j = 1, 2, 3$ ) элемента из которых соединен с выходом "равно  $j-1$ " сумматора, входы "равно нулю" и "равно двум" первого и второго операндов соединены с входами первого мажоритарного элемента с порогом два, выход которого соединен с первым входом четвертого элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом второго элемента ИЛИ-НЕ и первым входом пятого элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом первого элемента ИЛИ-НЕ, причем  $i$ -й вход третьего элемента ИЛИ-НЕ соединен с входом "равно нулю"  $(i + 2)$ -го операнда и с  $i$ -м входом второго мажоритарного элемента с порогом два,  $(i + 2)$ -й вход которого соединен с входом "равно двум"  $(i + 2)$ -го операнда и с  $i$ -м входом четвертого элемента ИЛИ-НЕ, выход которого



ВУ 10201 С1 2008.02.28

## ВУ 10201 С1 2008.02.28

соединен с первым входом шестого элемента РАВНОЗНАЧНОСТЬ и с первым входом седьмого элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом третьего элемента ИЛИ-НЕ, а выход второго мажоритарного элемента с порогом два соединен со вторым входом шестого элемента РАВНОЗНАЧНОСТЬ, выход которого соединен с первым входом пятого элемента ИЛИ-НЕ, второй вход которого соединен с выходом четвертого элемента РАВНОЗНАЧНОСТЬ и с первым входом третьего мажоритарного элемента с порогом два, второй вход которого соединен с выходом шестого элемента РАВНОЗНАЧНОСТЬ, а третий вход соединен с выходом седьмого элемента РАВНОЗНАЧНОСТЬ и с первым входом шестого элемента ИЛИ-НЕ, второй вход которого соединен с выходом пятого элемента РАВНОЗНАЧНОСТЬ и с четвертым входом третьего мажоритарного элемента с порогом два, выход которого соединен с первыми входами первого и второго элементов РАВНОЗНАЧНОСТЬ, второй вход первого элемента РАВНОЗНАЧНОСТЬ соединен с выходом шестого элемента ИЛИ-НЕ и с первым входом третьего элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом пятого элемента ИЛИ-НЕ и со вторым входом второго элемента РАВНОЗНАЧНОСТЬ.

---

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен сумматор унитарных кодов по модулю три, который содержит три элемента ИЛИ, три элемента РАВНОЗНАЧНОСТЬ, шесть входов и три выхода [1]. Сумматор реализует операцию  $A + B = S$  в унитарных кодах по модулю три.

Недостатком сумматора являются ограниченные функциональные возможности, поскольку сумматор не реализует операцию  $A + B + C + D = S$  в унитарных кодах по модулю три.

Наиболее близким по функциональным возможностям и конструкции техническим решением к предлагаемому является сумматор унитарных кодов по модулю три, который реализует операцию  $A + B + C = S$  [2]. Сумматор содержит три элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, четыре элемента ИЛИ-НЕ, три элемента И, элемент СЛОЖЕНИЕ ПО МОДУЛЮ ДВА с инверсным выходом, элемент ИЛИ, девять входов и три выхода.

Недостатком известного сумматора являются низкие функциональные возможности, так как он не выполняет операцию  $A + B + C + D = S \pmod{3}$ .

Изобретение направлено на решение следующих технических задач: 1) расширение функциональных возможностей сумматора по модулю три за счет реализации в унитарных кодах операции  $A + B + C + D = S \pmod{3}$ ; 2) уменьшение числа внешних выводов (числа входов и выходов).

Сумматор унитарных кодов по модулю три содержит четыре элемента ИЛИ-НЕ,  $i$ -й ( $i = 1, 2$ ) вход первого из которых соединен с входом "равно нулю"  $i$ -го операнда, а  $i$ -й вход второго элемента ИЛИ-НЕ соединен с входом "равно двум"  $i$ -го операнда. В отличие от прототипа в сумматор дополнительно введены пятый и шестой элементы ИЛИ-НЕ, три мажоритарных элемента с порогом два и семь элементов РАВНОЗНАЧНОСТЬ, выход  $j$ -го ( $j = 1, 2, 3$ ) элемента из которых соединен с выходом "равно  $j-1$ " сумматора. Входы "равно нулю" и "равно двум" первого и второго операндов соединены с входами первого мажоритарного элемента с порогом два, выход которого соединен с первым входом четвертого элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом второго элемента ИЛИ-НЕ и первым входом пятого элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом первого элемента ИЛИ-НЕ. Далее,  $i$ -й вход третьего элемента ИЛИ-НЕ соединен с входом "равно нулю"  $(i + 2)$ -го операнда и с  $i$ -м входом второго мажоритарного элемента с порогом два,  $(i + 2)$ -й вход которого соединен с входом "равно двум"  $(i + 2)$ -го операнда и с  $i$ -м входом четвертого элемента ИЛИ-НЕ, выход которого соединен с первым входом шестого элемента РАВНОЗНАЧНОСТЬ и с первым входом

## BY 10201 C1 2008.02.28

седьмого элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом третьего элемента ИЛИ-НЕ. Выход второго мажоритарного элемента с порогом два соединен со вторым входом шестого элемента РАВНОЗНАЧНОСТЬ, выход которого соединен с первым входом пятого элемента ИЛИ-НЕ, второй вход которого соединен с выходом четвертого элемента РАВНОЗНАЧНОСТЬ и с первым входом третьего мажоритарного элемента с порогом два, второй вход которого соединен с выходом шестого элемента РАВНОЗНАЧНОСТЬ. Третий вход третьего мажоритарного элемента с порогом два соединен с выходом седьмого элемента РАВНОЗНАЧНОСТЬ и с первым входом шестого элемента ИЛИ-НЕ, второй вход которого соединен с выходом пятого элемента РАВНОЗНАЧНОСТЬ и с четвертым входом третьего мажоритарного элемента с порогом два, выход которого соединен с первыми входами первого и второго элементов РАВНОЗНАЧНОСТЬ. Второй вход первого элемента РАВНОЗНАЧНОСТЬ соединен с выходом шестого элемента ИЛИ-НЕ и с первым входом третьего элемента РАВНОЗНАЧНОСТЬ, второй вход которого соединен с выходом пятого элемента ИЛИ-НЕ и со вторым входом второго элемента РАВНОЗНАЧНОСТЬ.

Названный технический результат достигается путем использования новых логических элементов (мажоритарных элементов с порогом два и элементов РАВНОЗНАЧНОСТЬ) и изменения соединений между элементами логической схемы.

На чертеже (фигура) представлена схема сумматора унитарных кодов по модулю три. Сумматор унитарных кодов по модулю три содержит шесть элементов ИЛИ-НЕ 1...6, три мажоритарных элемента с порогом два 7, 8 и 9, семь элементов РАВНОЗНАЧНОСТЬ 10...16, восемь входов 17...24 и три выхода 25, 26 и 27.

Сумматор унитарных кодов по модулю три работает следующим образом. На входы 17 и 21 поступают разряды "равно нулю" и "равно двум" унитарного кода первого операнда  $A = (a_0, a_1, a_2)$ ; на входы 18 и 22 - разряды "равно нулю" и "равно двум" унитарного кода второго операнда  $B = (b_0, b_1, b_2)$ ; на входы 19 и 23 - разряды "равно нулю" и "равно двум" унитарного кода третьего операнда  $C = (c_0, c_1, c_2)$ ; на входы 20 и 24 - разряды "равно нулю" и "равно двум" унитарного кода четвертого операнда  $D = (d_0, d_1, d_2)$ , где  $a_0, b_0, c_0, d_0, a_1, b_1, c_1, d_1, a_2, b_2, c_2, d_2 \in \{0,1\}$ . При этом  $a_k = 1$  ( $b_k = 1, c_k = 1, d_k = 1$ ) тогда и только тогда, когда  $A = k \pmod{3}$  (соответственно  $B = k \pmod{3}, C = k \pmod{3}$  и  $D = k \pmod{3}$ ), где  $k = 0, 1, 2$ .

На выходах сумматора 25, 26 и 27 формируется унитарный двоичный код результата выполнения операции  $A + B + C + D = S \pmod{3}$ , где  $S = (s_0, s_1, s_2)$  и  $s_0, s_1, s_2 \in \{0,1\}$ . Причем  $s_k = 1$  тогда и только тогда, когда  $A + B + C + D = k \pmod{3}$  и  $k = 0, 1, 2$ .

Логические функции  $S_0, S_1, S_2$ , реализуемые на выходах сумматора, представлены посредством таблицы.

Логическая схема сумматора для выполнения операции  $A + B + C + D = S \pmod{3}$  в унитарных кодах по модулю три синтезирована на основе использования следующих аналитических представлений функций  $S_0, S_1, S_2$ :

$$\begin{aligned}
 S_0 &= \overline{F_1(a_0, b_0, a_2, b_2) \vee F_3(c_0, d_0, c_2, d_2)} \sim M_2(F_1, F_2, F_3, F_4), \\
 S_1 &= \overline{F_2(a_0, b_0, a_2, b_2) \vee F_4(c_0, d_0, c_2, d_2)} \sim M_2(F_1, F_2, F_3, F_4), \\
 S_2 &= \overline{F_1(a_0, b_0, a_2, b_2) \vee F_3(c_0, d_0, c_2, d_2)} \sim \overline{F_2(a_0, b_0, a_2, b_2) \vee F_4(c_0, d_0, c_2, d_2)}, \\
 F_1(a_0, b_0, a_2, b_2) &= a_0 \vee b_0 \sim a_2 \vee b_2, \\
 F_2(a_0, b_0, a_2, b_2) &= M_2(c_0, b_0, a_2, b_2) \sim a_2 \vee b_2, \\
 F_3(c_0, d_0, c_2, d_2) &= c_0 \vee d_0 \sim c_2 \vee d_2, \\
 F_4(c_0, d_0, c_2, d_2) &= M_2(c_0, d_0, c_2, d_2) \sim c_2 \vee d_2,
 \end{aligned}$$

где символ "~" обозначает логическую операцию "равнозначность" (или "эквивалентность"), а через функцию  $M_2(x_1, x_2, x_3, x_4)$  обозначена функция, реализуемая на выходе мажоритарного элемента с порогом два, на четыре входа которого поступают значения логических переменных  $x_1, x_2, x_3, x_4$ , т.е.

# BY 10201 C1 2008.02.28

$$M_2(x_1, x_2, x_3, x_4) = \begin{cases} 1, & \text{если } x_1 + x_2 + x_3 + x_4 \geq 2, \\ 0 & \text{– в противном случае.} \end{cases}$$

Сложность сумматора (по числу входов логических элементов) равна 38, быстродействие (определяемое глубиной схемы) составляет  $4\tau$ , где  $\tau$  - усредненная задержка на один логический элемент. Основным достоинством сумматора является число внешних выводов, которое равно 11.

Если сумматор синтезировать на основе трех сумматоров унитарных кодов по модулю три [1] согласно формуле  $((A + B) + (C + D)) = S$ , то его сложность будет равна 36, быстродействие -  $4\tau$ , а число внешних выводов - 15.

**Сумматор унитарных кодов по модулю три**

A			B			C			D			S		
a <sub>0</sub>	a <sub>1</sub>	a <sub>2</sub>	b <sub>0</sub>	b <sub>1</sub>	b <sub>2</sub>	c <sub>0</sub>	c <sub>1</sub>	c <sub>2</sub>	d <sub>0</sub>	d <sub>1</sub>	d <sub>2</sub>	s <sub>0</sub>	s <sub>1</sub>	s <sub>2</sub>
17	-	21	18	-	22	19	-	23	20	-	24	25	26	27
1	0	0	1	0	0	1	0	0	1	0	0	1	0	0
0	1	0	1	0	0	1	0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	0	0	1	0	0	0	0	1
1	0	0	0	1	0	1	0	0	1	0	0	0	1	0
0	1	0	0	1	0	1	0	0	1	0	0	0	0	1
0	0	1	0	1	0	1	0	0	1	0	0	1	0	0
1	0	0	0	0	1	1	0	0	1	0	0	0	0	1
0	1	0	0	0	1	1	0	0	1	0	0	1	0	0
0	0	1	0	0	1	1	0	0	1	0	0	0	1	0
1	0	0	1	0	0	0	1	0	1	0	0	0	1	0
0	1	0	1	0	0	0	1	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1	0	1	0	0	1	0	0
1	0	0	0	1	0	0	1	0	1	0	0	0	0	1
0	1	0	0	1	0	0	1	0	1	0	0	1	0	0
0	0	1	0	1	0	0	1	0	1	0	0	0	1	0
1	0	0	0	0	1	0	1	0	1	0	0	1	0	0
0	1	0	0	0	1	0	1	0	1	0	0	0	1	0
0	0	1	0	0	1	0	1	0	1	0	0	0	1	0
1	0	0	1	0	0	0	0	1	1	0	0	0	0	1
0	1	0	1	0	0	0	0	1	1	0	0	1	0	0
0	0	1	1	0	0	0	0	1	1	0	0	0	1	0
1	0	0	0	1	0	0	0	1	1	0	0	1	0	0
0	1	0	0	1	0	0	0	1	1	0	0	0	1	0
0	0	1	0	1	0	0	0	1	1	0	0	0	0	1
1	0	0	1	0	0	1	0	0	0	1	0	0	1	0
0	1	0	1	0	0	1	0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0	0	0	1	0	1	0	0
1	0	0	0	1	0	1	0	0	0	1	0	0	0	1
0	1	0	0	1	0	1	0	0	0	1	0	1	0	0
0	0	1	0	1	0	1	0	0	0	1	0	0	1	0
1	0	0	0	0	1	1	0	0	0	1	0	1	0	0
0	1	0	0	0	1	1	0	0	0	1	0	0	1	0
0	0	1	0	0	1	1	0	0	0	1	0	0	0	1
1	0	0	1	0	0	0	1	0	0	1	0	0	0	1
0	1	0	1	0	0	0	1	0	0	1	0	0	0	1

