

**ОПИСАНИЕ  
ИЗОБРЕТЕНИЯ  
К ПАТЕНТУ**  
(12)

РЕСПУБЛИКА БЕЛАРУСЬ



НАЦИОНАЛЬНЫЙ ЦЕНТР  
ИНТЕЛЛЕКТУАЛЬНОЙ  
СОБСТВЕННОСТИ

(19) **ВУ** (11) **10834**  
(13) **С1**  
(46) **2008.06.30**  
(51) МПК (2006)  
**G 06F 7/38**

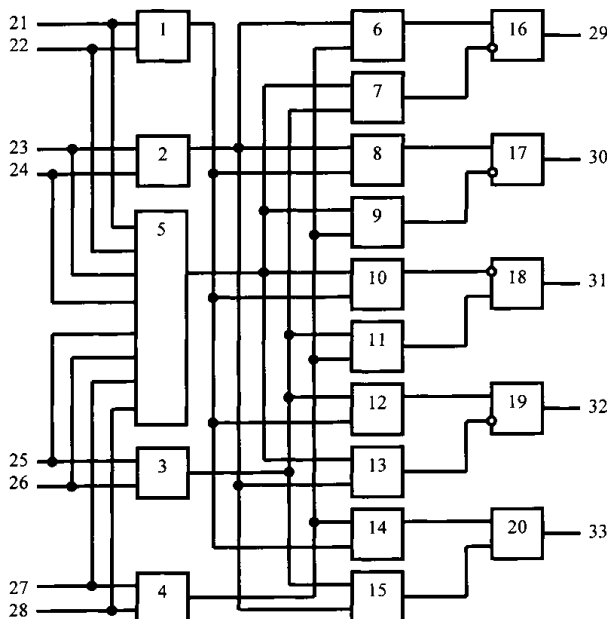
(54) **СУММАТОР УНИТАРНЫХ КОДОВ ПО МОДУЛЮ ПЯТЬ**

(21) Номер заявки: а 20061007  
(22) 2006.10.17  
(43) 2007.04.30  
(71) Заявитель: Белорусский государственный университет (ВУ)  
(72) Авторы: Городецкий Данила Андреевич; Седун Андрей Максимович; Супрун Валерий Павлович (ВУ)

(73) Патентообладатель: Белорусский государственный университет (ВУ)  
(56) ВУ 2991 С1, 1999.  
ВУ 7008 С1, 2005.  
ВУ 8122 С1, 2006.  
SU 1658142 А1, 1991.  
SU 1803911 А1, 1993.

(57)

Сумматор унитарных кодов по модулю пять, содержащий десять элементов РАВНОЗНАЧНОСТЬ, четыре элемента ИЛИ и элемент И, выход которого соединен с выходом "равно четырем" сумматора, а  $i$ -й, где  $i = 1, 2$ , вход первого, второго, третьего и четвертого элементов ИЛИ соединен соответственно со входом "равно нулю", "равно единице", "равно трем", "равно четырем"  $i$ -го операнда, выход первого элемента ИЛИ соединен с первыми входами третьего, пятого, седьмого и девятого элементов РАВНОЗНАЧНОСТЬ, выход второго элемента ИЛИ соединен со вторыми входами первого, третьего, восьмого и десятого элементов РАВНОЗНАЧНОСТЬ, выход третьего элемента ИЛИ соединен с первыми входами второго, шестого и десятого элементов РАВНОЗНАЧНОСТЬ и со вторым входом



**ВУ 10834 С1 2008.06.30**

## ВУ 10834 С1 2008.06.30

седьмого элемента РАВНОЗНАЧНОСТЬ, выход четвертого элемента ИЛИ соединен с первыми входами первого и четвертого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами шестого и девятого элементов РАВНОЗНАЧНОСТЬ, а выходы девятого и десятого элементов РАВНОЗНАЧНОСТЬ соединены со входами элемента И, отличающийся тем, что содержит четыре элемента ЗАПРЕТ и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два,  $i$ -й вход которого соединен с входом "равно нулю"  $i$ -го операнда,  $(i + 2)$ -й вход которого соединен с входом "равно единице"  $i$ -го операнда,  $(i + 4)$ -й вход которого соединен с входом "равно трем"  $i$ -го операнда,  $(i + 6)$ -й вход которого соединен с входом "равно четырем"  $i$ -го операнда, а выход - со вторыми входами второго, четвертого и пятого элементов РАВНОЗНАЧНОСТЬ и с первым входом восьмого элемента РАВНОЗНАЧНОСТЬ, выходы первого, третьего, шестого и седьмого элементов РАВНОЗНАЧНОСТЬ соединены соответственно с прямыми входами  $j$ -го, где  $j = 1, 2, 3, 4$ , элемента ЗАПРЕТ, выходы второго, четвертого, пятого и восьмого элементов РАВНОЗНАЧНОСТЬ соединены соответственно со входами запрета  $j$ -го элемента ЗАПРЕТ, а выход  $j$ -го элемента ЗАПРЕТ соединен с выходом "равно  $j-1$ " сумматора.

---

Изобретение относится к области вычислительной техники и микроэлектроники и может быть использовано для построения средств аппаратного контроля и цифровых устройств, работающих в системе остаточных классов.

Известен  $m$ -операндный сумматор унитарных кодов по модулю  $k$ , который при  $m = 2$  и  $k = 5$  содержит двадцать пять элементов И и пять элементов ИЛИ [1].

Недостатком сумматора является высокая конструктивная сложность.

Наиболее близким по конструкции и функциональным возможностям техническим решением к предлагаемому является сумматор унитарных кодов по модулю пять, который содержит пять элементов ИЛИ, десять элементов РАВНОЗНАЧНОСТЬ и пять элементов И [2]. Число внешних выводов сумматора равно 15.

Недостатком известного сумматора является большое число внешних выводов.

Изобретение направлено на решение технической задачи уменьшения числа внешних выводов сумматора унитарных кодов по модулю пять.

Сумматор унитарных кодов по модулю пять содержит десять элементов РАВНОЗНАЧНОСТЬ, четыре элемента ИЛИ и элемент И. Выход элемента И соединен с выходом "равно четырем" сумматора, а  $i$ -й, где  $i = 1, 2$ , вход первого, второго, третьего и четвертого элементов ИЛИ соединен соответственно со входом "равно нулю", "равно единице", "равно трем", "равно четырем"  $i$ -го операнда. Выход первого элемента ИЛИ соединен с первыми входами третьего, пятого, седьмого и девятого элементов РАВНОЗНАЧНОСТЬ. Выход второго элемента ИЛИ соединен со вторыми входами первого, третьего, восьмого и десятого элементов РАВНОЗНАЧНОСТЬ. Выход третьего элемента ИЛИ соединен с первыми входами второго, шестого и десятого элементов РАВНОЗНАЧНОСТЬ и со вторым входом седьмого элемента РАВНОЗНАЧНОСТЬ. Выход четвертого элемента ИЛИ соединен с первыми входами первого и четвертого элементов РАВНОЗНАЧНОСТЬ и со вторыми входами шестого и девятого элементов РАВНОЗНАЧНОСТЬ. Выходы девятого и десятого элементов РАВНОЗНАЧНОСТЬ соединены с входами элемента И.

В отличие от прототипа сумматор дополнительно содержит четыре элемента ЗАПРЕТ и элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два,  $i$ -й вход которого соединен с входом "равно нулю"  $i$ -го операнда,  $(i + 2)$ -й вход соединен с входом "равно единице"  $i$ -го операнда,  $(i + 4)$ -й вход соединен с входом "равно трем"  $i$ -го операнда,  $(i + 6)$ -й вход соединен с входом "равно четырем"  $i$ -го операнда. Выход элемента ИСКЛЮЧАЮЩЕГО ИЛИ с порогом два соединен со вторыми входами второго, четвертого и пятого элементов РАВНОЗНАЧНОСТЬ и с первым входом восьмого элемента РАВНОЗНАЧНОСТЬ. Выходы первого, третьего, шестого и седьмого элементов РАВНОЗНАЧНОСТЬ соединены с пря-

# ВУ 10834 С1 2008.06.30

мыми входами  $j$ -го, где  $j = 1, 2, 3, 4$ , элемента ЗАПРЕТ соответственно. Выходы второго, четвертого, пятого и восьмого элементов РАВНОЗНАЧНОСТЬ соединены со входами запрета  $j$ -го элемента ЗАПРЕТ соответственно. Выход  $j$ -го элемента ЗАПРЕТ соединен с выходом "равно  $j-1$ " сумматора.

Основной технической результат изобретения заключается в уменьшении числа внешних выводов сумматора унитарных кодов по модулю пять. Названный эффект достигается путем введения в логическую схему сумматора новых логических элементов (элементов ЗАПРЕТ и элемента ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два), а также изменений межсоединений логических элементов в схеме сумматора.

На фигуре представлена схема сумматора унитарных кодов по модулю пять.

Сумматор унитарных кодов по модулю пять содержит четыре элемента ИЛИ 1, ..., 4, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ с порогом два 5, десять элементов РАВНОЗНАЧНОСТЬ 6, ..., 15, четыре элемента ЗАПРЕТ 16, ..., 19 и элемент И 20, восемь входов 21, ..., 28 и пять выходов 29, ..., 33.

Сумматор унитарных кодов по модулю пять работает следующим образом. На входы 21, 23, 25 и 27 сумматора поступают значения  $a_0, a_1, a_3$  и  $a_4$  унитарного двоичного кода первого операнда  $A = [a_0, \dots, a_4)$ , соответственно на входы 22, 24, 26 и 28 поступают значения  $b_0, b_1, b_3$  и  $b_4$  унитарного двоичного кода второго операнда  $B = (b_0, \dots, b_4)$ , соответственно, где  $a_0, a_1, a_2, a_3, a_4, b_0, b_1, b_2, b_3, b_4 \in \{0, 1\}$ . При этом  $a_k = 1$  ( $b_k = 1$ ) тогда и только тогда, когда  $A = k \pmod{5}$  ( $B = k \pmod{5}$ ), где  $k = 0, 1, 2, 3, 4$ . На выходах 29, 30, 31, 32 и 33 сумматора формируется унитарный двоичный код результата суммы  $S = (S_0, \dots, S_4)$ , где  $S_0, S_1, S_2, S_3, S_4 \in \{0, 1\}$ . При этом  $S_k = 1$  тогда и только тогда, когда  $A + B = k \pmod{5}$ .

Логическая схема сумматора унитарных кодов по модулю пять синтезирована по следующим аналитическим представлениям функций  $S_0, S_1, S_2, S_3$  и  $S_4$ :

$$\begin{aligned} S_0 &= ((a_1 \vee b_1) \sim (a_4 \vee b_4)) \& \overline{(M(a_0, b_0, a_1, b_1, a_3, b_3, a_4, b_4) \sim (a_3 \vee b_3))}, \\ S_1 &= ((a_0 \vee b_0) \sim (a_1 \vee b_1)) \& \overline{(M(a_0, b_0, a_1, b_1, a_3, b_3, a_4, b_4) \sim (a_4 \vee b_4))}, \\ S_2 &= ((a_3 \vee b_3) \sim (a_4 \vee b_4)) \& \overline{(M(a_0, b_0, a_1, b_1, a_3, b_3, a_4, b_4) \sim (a_0 \vee b_0))}, \\ S_3 &= ((a_0 \vee b_0) \sim (a_3 \vee b_3)) \& \overline{(M(a_0, b_0, a_1, b_1, a_3, b_3, a_4, b_4) \sim (a_1 \vee b_1))}, \\ S_4 &= ((a_0 \vee b_0) \sim (a_4 \vee b_4)) \& ((a_1 \vee b_1) \sim (a_3 \vee b_3)), \\ M(a_0, b_0, a_1, b_1, a_3, b_3, a_4, b_4) &= \begin{cases} 1, & \text{если } a_0 + b_0 + a_1 + b_1 + a_3 + b_3 + a_4 + b_4 = 2; \\ 0 & \text{в противном случае,} \end{cases} \end{aligned}$$

где символом " $\sim$ " обозначена логическая операция "равнозначность" (или "эквивалентность").

Таблица истинности логических функций  $S_0, S_1, S_2, S_3$  и  $S_4$  описывает работу сумматора унитарных кодов по модулю пять.

Основным достоинством сумматора унитарных кодов по модулю пять является небольшое число внешних выводов, равное 13. К дополнительным достоинствам необходимо отнести относительно небольшую конструктивную сложность сумматора (по числу входов логических элементов), равную 46, и высокое быстродействие, которое составляет  $3\tau$ , где  $\tau$  - задержка на логический элемент. В то время как сумматор-прототип имеет 15 внешних выводов (сложность прототипа равна 40, а его быстродействие -  $3\tau$ ).

Источники информации:

1. А.с. СССР 1403060, МПК G 06F 7/49, 1988.
2. Патент РБ 2991, МПК G 06F 7/49, 1999 (прототип).

